

PAT-NO: JP404144276A
DOCUMENT-IDENTIFIER: JP 04144276 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
PUBN-DATE: May 18, 1992

INVENTOR-INFORMATION:

NAME
KIKUTA, SHIGERU
MORI, SHIGERU
MOROOKA, KIICHI
MIYAMOTO, HIROSHI
SUWA, MASATO
KINOSHITA, MITSUYA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP02268809

APPL-DATE: October 5, 1990

INT-CL (IPC): H01L027/10, H01L027/04

ABSTRACT:

PURPOSE: To suppress an increase in the area of a chip and to reduce a signal propagation delay due to a wiring by a method wherein the chip is splitted into subchips, a control circuit is arranged in every subchip to perform a split operation and at the same time, each subchip is further split into a plurality of memory cell array blocks to perform a split operation in every memory cell array block.

CONSTITUTION: In the case of a readout operation, a signal read out from a selected memory cell array block 3 is sent to a subchip control circuit region 2 arranged in the center of a subchip, is amplified there and thereafter, is sent to a pad, an input first-step buffer and an output final-step region 1 and is outputted from a bonding pad to the outside via a data output buffer.

Accordingly, even if a memory cell array situated at the outermost end of a chip is driven by a control signal or an address signal generated at the region 2 arranged in the center of the subchip form the region 2, a wiring is shortened to half or thereabouts of the length of the shorter sides of the chip and a signal propagation delay due to the wiring is suppressed.

COPYRIGHT: (C)1992, JPO&Japio

⑪ 公開特許公報 (A)

平4-144276

⑫ Int. Cl. 5

H 01 L 27/10
27/04

識別記号

4 6 1

府内整理番号

8624-4M
7514-4M

⑬ 公開 平成4年(1992)5月18日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 平2-268809

⑯ 出 願 平2(1990)10月5日

⑰ 発明者 菊田 篤 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 森 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 諸岡 敏一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 宮本 博司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 大岩 増雄 外2名

最終頁に統く

明 細 内

1 発明の名称

半導体集積回路

2 特許請求の範囲

複数のセルアレイと、上記複数のセルアレイに対応した動作を制御する第1の制御回路よりなる複数のセルアレイブロックと、複数の上記セルアレイブロックの中央に配置された複数の上記セルアレイブロックの動作を制御する第2の制御回路よりなる複数のサブチップと、チップの入出力及び全体を制御する第3の制御回路より構成されることを特徴とする半導体集積回路。

3 発明の詳細な説明

〔産業上の利用分野〕

この発明は分散配置したセルアレイブロックを有する半導体集積回路に関するものである。

〔従来の技術〕

第4図は従来の半導体メモリの構成を示す図である。図において、(1)はパッド及び入出力バッファ領域、(2)はチップ制御回路領域、(3)はメモリセ

ルアレイブロックである。パッド及び入出力バッファ領域(1)は、外部との入出力のためのポンディングパッドと、アドレス信号を含めた入出力信号のバッファと、1部の周辺回路、及びそれらの信号配線とかなる。チップの中央に配置されたチップ制御回路領域(2)はチップ全体の制御をつかさどる制御回路やプリデコーダ等のアドレス系の信号発生回路からなる。メモリセルアレイブロック(3)はチップの4分の1の容量をもつメモリセルアレイと、それに付随するデコーダ、センスアンプ、入出力ラクテ、及びこのアレイを駆動する一部の制御回路からなる。

次に動作について説明する。ポンディングパッドを介して入力された信号は入出力バッファで增幅された後チップの中央に配置されたチップ制御回路領域(2)に行き、そこでアドレスにより特定のメモリセルアレイブロック(3)が選択され、選択されたメモリセルアレイブロック(3)に対して書き込みもしくは読み出しの動作が行なわれる。読み出し動作の場合、選択されたメモリセルアレイブ

ロッゲ(6)から読み出された信号はチップの中央に配置されたチップ制御回路領域(8)へ送られ、そこで増幅された後にパッド及び入出力バッファ領域(1)に送られデータ出力バッファを介してポンディングパッドから外部に出力される。従って、チップの中央に配置されたチップ制御回路領域(8)で生成された制御信号やアドレス系の信号はそこからチップの最外端にあるメモリセルアレイを駆動することになり、配線はチップの長辺の長さの半分程度となり、配線の遅延が問題となる。そこで、この配線の遅延を抑えるために信号駆動トランジスタのサイズを大きくして駆動能力を上げる構成をとっている。また、チップ制御回路領域(8)で生成される信号の種類は外部から入出力される信号の数倍となるため、メモリセルアレイを駆動する一部の信号は各メモリセルアレイプロック(9)内に配置する。このことによりチップ制御回路領域(8)から各メモリセルアレイプロック(9)に送られる信号の本数を減らすとともにメモリセルアレイを駆動する信号を発生する回路の負荷を減少させ、高

速化及び低消費電力化のための工夫がなされている。しかし、チップ制御回路領域(8)はチップの中央一ヵ所にまとめて配置されているため、制御回路間の信号配線もかなりの距離（チップの短辺の長さ程度）を配線しなければならない。

〔発明が解決しようとする課題〕

従来の半導体集積回路は以上のように構成されているので、チップ制御回路領域とメモリセルアレイプロック間やチップ制御回路領域内など、信号配線の本数の多い領域で信号配線の長さが長くなるとともに個々の負荷容量が大きいため、配線による信号の遅延が大きくなる。また、この遅延を小さくするために信号発生回路の駆動能力を上げた場合には、チップ面積の増大や消費電力の増大などの問題点があった。

この発明は上記のような問題点を解決するためになされたもので、配線による遅延を小さく抑え、高速に動作するとともに低消費電力の半導体集積回路を得ることを目的とする。

〔課題を解決するための手段〕

上記のような目的を達成するために本発明に係る半導体集積回路は、複数のセルアレイと、複数のセルアレイに対応した動作を制御する第1の制御回路よりなるセルアレイプロックを持ち、複数のセルアレイプロックと、複数のセルアレイプロックの中央に配置された複数のセルアレイプロックの動作を制御する第2の制御回路よりなるサブチップを持ち、複数のサブチップと、チップの入出力及び全体を制御する第3の制御回路より構成される。

〔作用〕

この発明に於ける半導体集積回路は、複数のセルアレイプロックの動作を制御する回路を複数個設け、分割動作をさせるようにしたので、駆動回路の負荷の低減により配線による遅延を低減し、低消費電力化がはかれる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図において、(1)はパッド及び入力初段バッファ、出力最終段領域、(2)はサブチップ制御回

路領域、(3)はメモリセルアレイプロック、(4)はサブチップである。パッド及び入力初段バッファ、出力最終段領域(1)は、外部との入出力のためのポンディングパッドと、アドレス信号を含めた入力信号の初段のバッファ、出力最終段と、1部の周辺回路、及びそれらの信号配線とからなる。各サブチップの中央に配置されたサブチップ制御回路領域(2)は、各サブチップの制御をつかさどる制御回路や各サブチップに対応したプリデコーダ等のアドレス系の信号発生回路からなる。メモリセルアレイプロック(3)はチップの64分の1の容量をもつメモリセルアレイと、それに付随するデコーダ、センスアンプ、入出力ラッチ、及びこのアレイを駆動する一部の制御回路からなる。サブチップ(4)はサブチップ制御回路領域(2)と16個のメモリセルアレイプロック(3)からなり、それぞれ独立した回路構成となっている。

第2図はメモリセルアレイプロック(3)を示す。図において、(8a)はメモリセルアレイ、(8b)はセンスアンプ及びコラムデータ、(8c)はロウデコー

ダ及び制御回路、(8d)は入出力ラッチを示す。

次に本実施例の動作について説明する。ポンディングパッドを介して入力された信号は入力初段バッファで増幅された後、アドレスにより選択されるサブチップの中央に配置されたサブチップ制御回路領域(2)に行き、そこでアドレスにより特定のメモリセルアレイプロック(3)が選択され、選択されたメモリセルアレイプロック(3)に対して書き込みもししくは読み出しの動作が行なわれる。読み出し動作の場合、選択されたメモリセルアレイプロック(3)から読み出された信号はサブチップの中央に配置されたサブチップ制御回路領域(2)へ送られ、そこで増幅された後にパッド及び入力初段バッファ、出力最終段領域(1)に送られデータ出力バッファを介してポンディングパッドから外部に出力される。従って、サブチップの中央に配置されたサブチップ制御回路領域(2)で生成された制御信号やアドレス系の信号はそこからチップの最外端にあるメモリセルアレイを駆動するとしても、配線はチップの辺縁の長さの半分程度となり、配線

の遅延はかなり抑えられる。また、プリデコーダ等のアドレス信号もサブチップ内で必要な本数のみに抑えられる。そのため、サブチップ制御回路領域(2)の各回路の負荷は小さく抑えられるとともに必要な回路数も減るので、制御回路領域全体の面積も従来例と比較して遙かに小さいものとなる。しかし、サブチップ制御回路領域(2)で生成される信号の種類は依然として外部から入出力される信号の数倍となるため、メモリセルアレイを駆動する一部の信号はメモリセルアレイプロック(3)内に配置されている。そして、選択されたメモリセルアレイのみ動作する構成となっている。このことによりサブチップ制御回路領域(2)から各メモリセルアレイプロック(3)に送られる信号の本数を減らすとともにメモリセルアレイを駆動する信号を発生する回路の負荷を減少させ、高速化及び低消費電力化のための工夫がなされている。サブチップ制御回路領域(2)はサブチップ毎に配置されているため、制御回路間の信号配線の距離は従来例に比べ短くなっている。ポンディングパッドを介して入出力される信号は初段のバッファを介するのみで

各サブチップ(6)のサブチップ制御回路領域に入出力されるので、その信号線の本数は少なく、従来例と比べ大差はない。しかも、動作する制御回路はアドレス信号により選択される1つのサブチップ内の制御回路のみとなるので、消費電力も低減される。

第8図はこの発明の他の一実施例である。第8図において、(1)はパッド及び入力初段バッファ、出力最終段領域、(2)はサブチップ制御回路領域、(3)はメモリセルアレイプロック、(6)はサブチップである。パッド及び入力初段バッファ、出力最終段領域(1)は、外部との入出力のためのポンディングパッドと、アドレス信号を含めた入力信号の初段のバッファ、出力最終段と、1部の周辺回路、及びそれらの信号配線とからなる。各サブチップの中央に配置されたサブチップ制御回路領域(2)は、各サブチップの制御をつかさどる制御回路や各サブチップに対応したプリデコーダ等のアドレス系の信号発生回路からなる。メモリセルアレイプロック(3)はチップの84分の1の容量をもつメモリ

セルアレイと、それに付随するデコーダ、センスアンプ、入出力ラッチ、及びこのアレイを駆動する一部の制御回路からなる。サブチップ(6)はサブチップ制御回路領域(2)と8個のメモリセルアレイプロック(3)からなり、それぞれ独立した回路構成となっている。

なお、第8図の動作は第1図の動作と同じであるので説明は省略する。

〔発明の効果〕

以上のようにこの発明によれば、チップをサブチップに分割し、各サブチップ毎に制御回路を配置しサブチップ毎の分割動作とともに、さらにサブチップを複数のメモリセルアレイプロックに分割してメモリセルアレイプロック毎の分割動作をするようにしたので、チップ面積を増大を抑え、配線による遅延を減少させるとともに低消費電力の半導体集積回路を得られるという効果がある。

4 図面の簡単な説明

第1図はこの発明の一実施例による半導体メモ

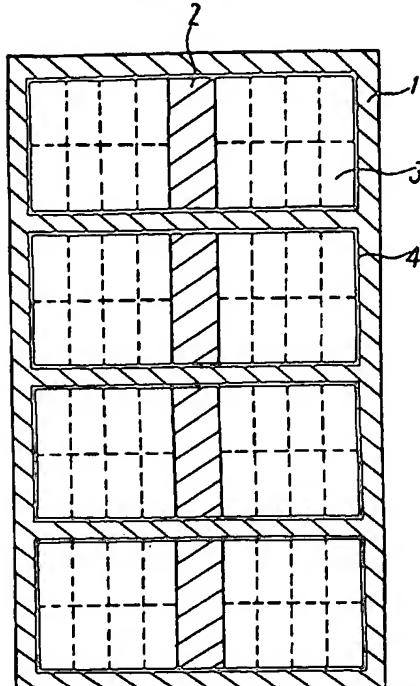
りを示す図、第2図は第1図に示されているメモリセルアレイブロックを示す図、第3図はこの発明の他の実施例による半導体メモリを示す図、第4図は従来の半導体メモリを示す図である。

図において、(1)はパッド及び入力初段バッファ、出力最終段領域、(2)、(5)はサブチップ制御回路領域、(3)、(6)はメモリセルアレイブロック、(8a)はメモリセルアレイ、(8b)はセンスアンプ及びコラムデコーダ、(8c)はロウデコーダ及び制御回路、(8d)は入出力ラッチ、(4)、(7)はサブチップである。

なお、各図中、同一符号は同一、又は相当部分を示す。

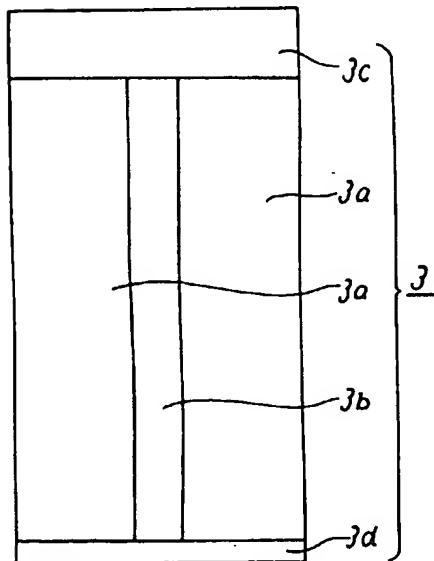
代理人 大岩 基雄

第1図



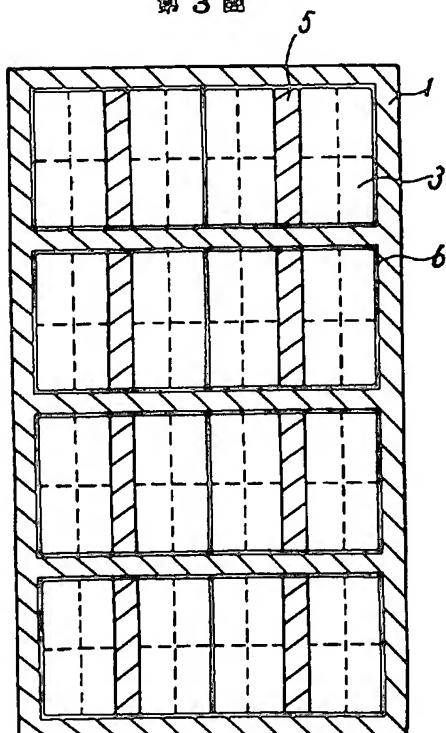
1:パッド及び入力初段バッファ出力最終段領域
2:サブチップ制御回路領域
3:メモリセルアレイブロック
4:サブチップ

第2図



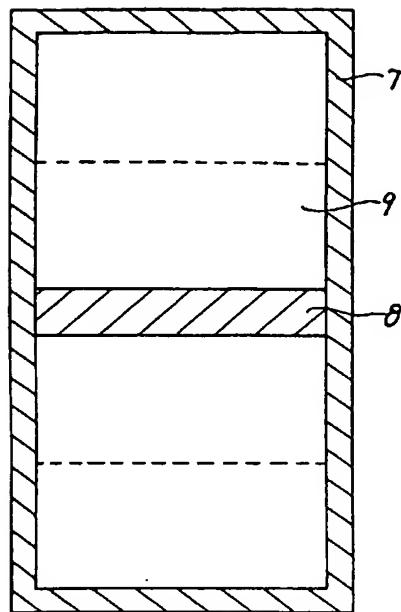
Ja:メモリセルアレイ
Jb:センスアンプ及びコラムデコーダ
Jc:ロウデコーダ及び制御回路
Jd:入出力ラッチ

第3図



5:サブチップ制御回路領域
6:サブチップ

第4図



第1頁の続き

②発明者 諏訪 真人 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内
②発明者 木下 充矢 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内